## 实验一 基本电路实验

### 实验目的

1. 掌握多路选择器、译码器、三态门等的工作原理

2. 掌握Logisim软件的使用方法

3. 掌握Modelsim软件的使用方法

4. 熟悉Digilent N4 DDR FPGA 开发板及其基本操作

5. 理解总线的三态传输特性，掌握三态缓冲器的HDL描述方法；

### 实验原理

1. Digilent N4 DDR FPGA 开发板

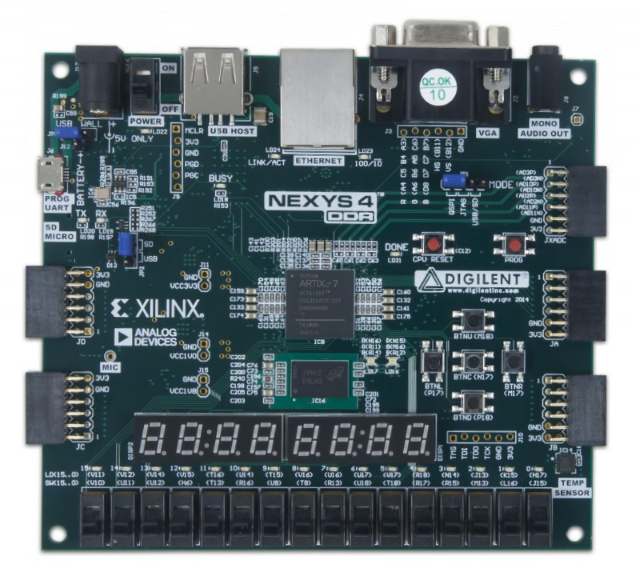


图 1-1 实验面板图

1. 虚拟实验板

虚拟实验板上有36个拨动开关、20个按键、36个LED指示灯以及8个七段数码管。在实验板的电路板上，开关、指示灯以及按键等都已经连接到了实验FPGA芯片的引脚上。在FPGA设计中，由顶层模块中定义的输入输出端口负责与FPGA芯片引脚连接，从而使实验电路的输入输出端口，连接到实验板的开关、按键、时钟和指示灯等资源。每一个实验都使用统一的顶层端口和引脚约束。本实验为了达到使同学们熟悉实验板的目的，尽可能地利用了板上的开关、指示灯等资源。

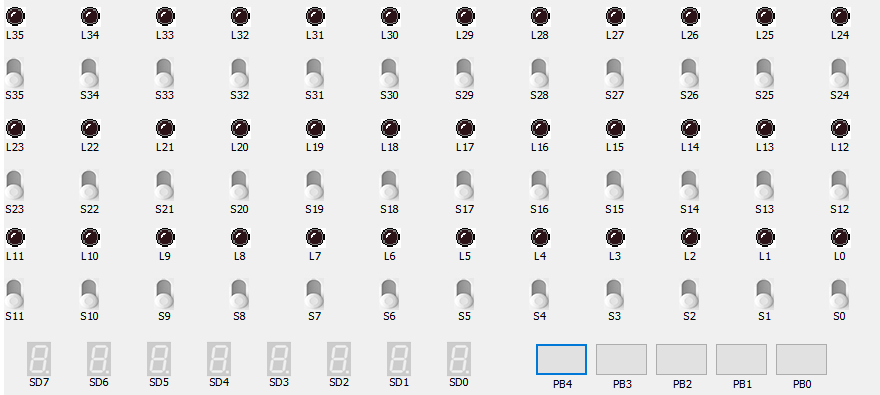


图 1-2 虚拟实验面板图

实验原理图如图1-3，长方形框内是在FPGA内部设计的实验电路。定义了数据寄存器REG和移位寄存器SR、计数器CNT，共用输入数据DATA，由时钟使能REGoe，SRoe、S1、S0，CNToe、INC、LD分别控制数据寄存器和移位寄存器、计数器的操作。

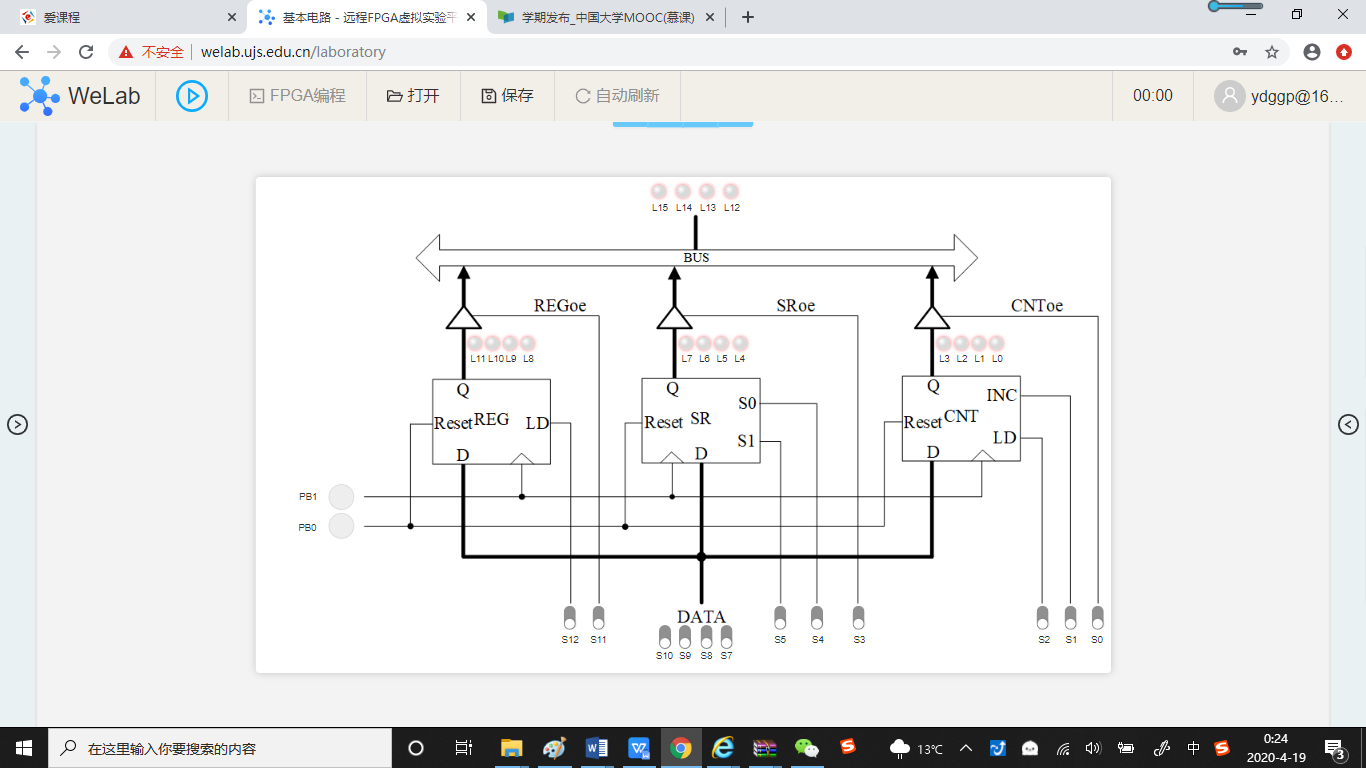


图 1-3实验一虚拟面板示意图

### 实验内容

1. **基础实验**。验证功能，并操作分析、记录结果。

用Nexys4 DDR FPGA开发板完成上述实验设计并下载到实验板。根据验证目标操作实验板的开关、按键，观察对应的指示灯。

#### （1）数据寄存器的特性

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
|  | **DATA** | **REGoe** | **LD** | **CLK**  **（PB1)** | **RESET（PB0）** | **REG\_Q** |
| 复位 | **——** | 0 |  | —— |  |  |
| 数据的装入 | 1001 | 1 | 0 | —— | 0 |  |
| 1001 | 1 | 1 |  | 0 |  |
| 0110 | 0 | 1 |  | 0 |  |
| 复位 | 0110 | 1 | 1 | —— |  |  |

实验现象分析：

① 寄存器能够装入数据的条件是LD为\_\_\_\_\_\_\_并且\_\_\_\_\_\_\_\_（有／没有）时钟上升沿。如果LD无效，但是有时钟上升沿，寄存器的内容将\_\_\_\_\_\_\_\_\_\_\_（更新／保持不变）。

② 复位信号使寄存器\_\_\_\_\_\_（清零／保持不变），和有无时钟无关。

#### （2）移位寄存器的特性

|  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- |
|  | **DATA** | **SRoe** | **S1** | **S0** | **CLK** | **RESET** | **SR\_Q** |
| 复位 | 1001 | **——** | **——** | **——** | **——** |  |  |
| 直送 | 1001 | 0 | 0 | 0 |  | 0 |  |
| 1001 | 1 | 1 | 1 |  | 0 |  |
| 左移 | 0110 | 0 | 1 | 0 |  | 0 |  |
| 0110 | 1 | 1 | 0 |  | 0 |  |
| 右移 | 0110 | 0 | 0 | 1 |  | 0 |  |
| 0110 | 1 | 0 | 1 |  | 0 |  |

实验现象分析：

① 直送是将输入端数据装入到移位寄存器，既不左移也不右移。

② 左移和右移的信号分别是\_\_\_\_\_\_\_和\_\_\_\_\_\_\_\_。

③ 本实验设计的移位寄存器是对移位寄存器\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_（内部保存的数据／输入端数据）进行移位，这和常见的移位寄存器不同。

#### （3）计数器的特性

|  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- |
|  | **DATA** | **CNToe** | **LD** | **INC** | **CLK** | **RESET** | **CNT\_Q** |
| 复位 | 1001 | **——** | **——** | **——** | **——** |  |  |
| 直送 | 1001 | 0 | 1 | 0 |  | 0 |  |
| 1001 | 1 | 1 | 0 |  | 0 |  |
| 自增 | 0110 | 0 | 0 | 1 |  | 0 |  |
| 0110 | 1 | 0 | 1 |  | 0 |  |

#### 2. 提高实验。

1）用Logisim画出电路图

（1）用基本门电路设计一个异或门

（2）设计一个三人表决电路，输入用符号x、y、z表示，输出用F表示，当三个输入中有两个以上为1时，结果为1。

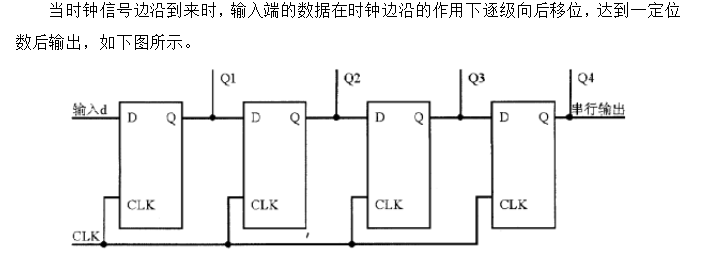
（3）设计一个四人表决电路，a、b、c、d，a同意得2分，b、c、d同意各得1分，当总分大于等于3分时，输出y=1。用自动生成电路的方法画出四人表决电路。

（4）设计一个二路选择器（用基本门电路），分析真值表，写出函数表达式，画出电路图。s=0,y=a;s=1,y=b y=~sa+sb

（5）设计一个三八译码器（用基本门电路），分析真值表，写出函数表达式，画出电路图。

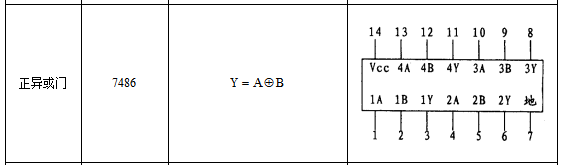
（6）设计一个D触发器

（7）利用Logisim自身提供的D触发器设计一个4位的串入并出移位寄存器。当时钟信号边沿到来时，输入端的数据在时钟边沿的作用下逐级向后移位，达到一定位数后输出，如下图所示（是否需要复位信号自选）：



2）附录：

1. **异或门**



**（2）4选1多路选择器**，原理如下：

多路选择器（multiplexer, MUX），亦称数据选择器，用来从多路输入信号中选择其中之一进行输出。从外部看，多路选择器器需要有多路输入信号，一组选择控制信号和一路输出信号。

下面仅以2选1多路选择器为例，进行详细说明：

如下图所示为一个2选1多路选择器的结构图。S引脚是用来选择输出的控制信号，A、B分别为两个输入端，Z为输出端。

在本节实验的2选1多路选择器中，选择端S输入为低电平0时，Z输出为A信号；反之，当选择端S输入为高电平1时，则Z输出为B信号。

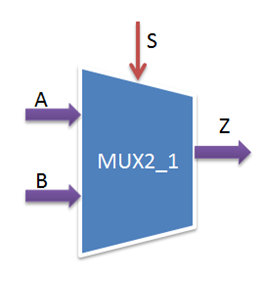


图1-3 二选一原理图

4选1多路选择器，功能类似如下：

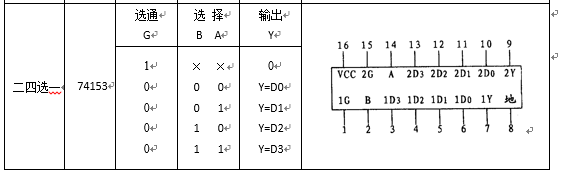
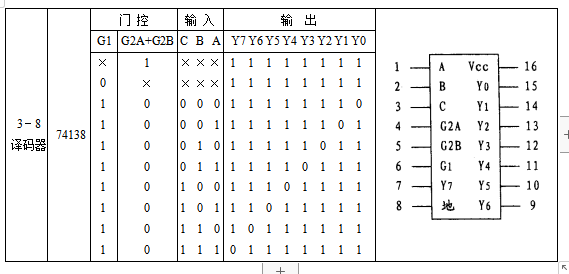
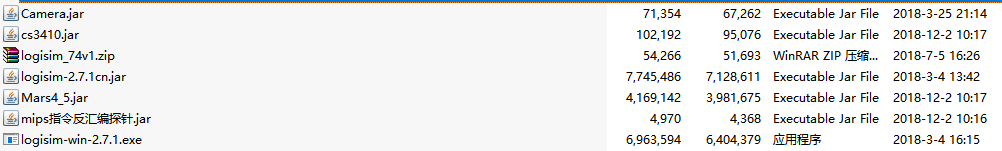


图1-4 二四选一引脚图

**（3）三八译码器74LS138**



（4）Logsim安装顺序：（预装软件）



解压文件 -> 找到 logisim-2.7.1cn.jar 文件 -> 双击点开即可  
设置中文 ：打开软件 -> 点击左上角File -> 点击Preferences -> 点击International ->选择cn